



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05218332 A**(43) Date of publication of application: **27.08.93**

(51) Int. Cl

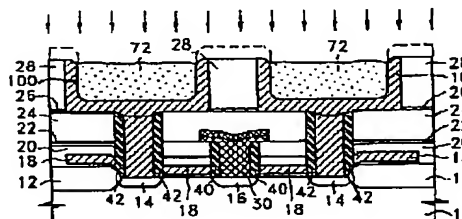
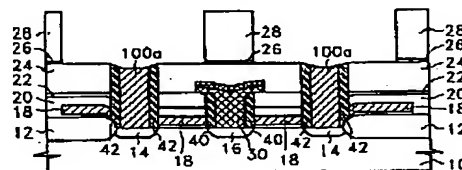
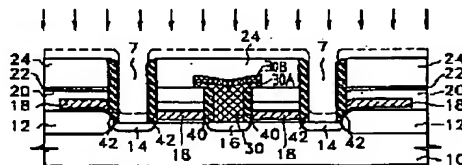
H01L 27/108
H01L 27/04
(21) Application number: **04212924**(22) Date of filing: **10.08.92**(30) Priority: **17.10.91 KR 91 9118318**(71) Applicant: **SAMSUNG ELECTRON CO LTD**(72) Inventor: **CHO HYUN-JIN**
JANG TAEK-YONG(54) **SEMICONDUCTOR STORAGE DEVICE AND MANUFACTURE THEREOF**

(57) Abstract:

PURPOSE: To provide a semiconductor device, wherein the level of integration and reliability of a storage device are improved, and its manufacturing method.

CONSTITUTION: A first flattened insulating layer 22 which is formed under a bit line 30, and a second flattened insulating layer 24 which is formed under a storage electrode 100 are contained. By flattening the surfaces of material layers formed under the bit line 30 and the storage electrode 100, the generation of stringer with respect to surface step-difference is prevented. By forming a spacer directly on the inner sidewall of a contact hole, or by preventing contact between conductors by forming the contact hole, the reliability of a storage device is improved, and further a high level of integration is realized.

COPYRIGHT: (C)1993,JPO



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-218332

(43)公開日 平成5年(1993)8月27日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/108

27/04

C 8427-4M

8728-4M

H 0 1 L 27/ 10

3 2 5 C

審査請求 未請求 請求項の数19(全 10 頁)

(21)出願番号 特願平4-212924

(22)出願日 平成4年(1992)8月10日

(31)優先権主張番号 1 9 9 1 P 1 8 3 1 8

(32)優先日 1991年10月17日

(33)優先権主張国 韓国 (K R)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘3洞416

(72)発明者 趙 顯眞

大韓民国 ソウル特別市 陽川区 新亭洞

330番地 木洞アパート 1412棟 1404号

(72)発明者 張 澤龍

大韓民国 ソウル特別市 江南区 逸院洞

615番地 宇城7次アパート 110棟 1403号

(74)代理人 弁理士 服部 雅紀

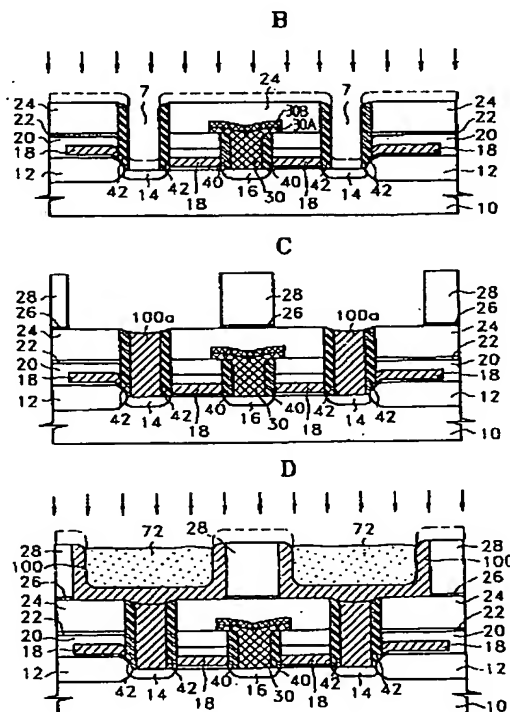
(54)【発明の名称】 半導体メモリ装置およびその製造方法

(57)【要約】

【目的】 メモリ装置の集積度および信頼度を向上させた半導体装置およびその製造方法を提供する。

【構成】 ビットライン30下部に形成された平坦化された第1絶縁層22と前記ストリッジ電極100下部に形成された平坦化された第2絶縁層24を含むことを特徴とする。

【効果】 導電形、すなわちビットラインおよびストリッジ電極下部に形成される物質層の表面を平坦化することにより表面段差に対して発生するストリングを防止し、コンタクトホール内部側壁に直接スペーサを形成するか、コンタクトホールを形成し導電層間の接触現象を防止することにより、メモリ装置の信頼性を向上させただけでなく高集積化実現に有利になるようにした。



【特許請求の範囲】

【請求項1】 ソース領域、ドレーン領域およびゲート電極から構成されるトランジスタ、第1コンタクトホールを通じて前記トランジスタのドレーン領域と接触するビットライン、ならびに第2コンタクトホールを通じて前記トランジスタのソース領域と接触するストリッジ電極を含む半導体メモリ装置において、前記ビットライン下部に形成され平坦化された第1絶縁層と前記ストリッジ電極下部に形成され平坦化された第2絶縁層を含むことを特徴とする半導体メモリ装置。

【請求項2】 前記ゲート電極はビットライン下部に、前記ビットラインはストリッジ電極下部に形成されたことを特徴とする請求項1記載の半導体メモリ装置。

【請求項3】 前記ストリッジ電極と第2絶縁層との間には第1食刻阻止層、プレート電極および誘電体膜が介在していることを特徴とする請求項1記載の半導体メモリ装置。

【請求項4】 前記第1および第2コンタクトホールの内部の側壁にはスペーサが形成されていることを特徴とする請求項1または請求項3記載の半導体メモリ装置。

【請求項5】 前記第2コンタクトホールの内部の側壁と前記スペーサとの間には第2食刻阻止層が介在していることを特徴とする請求項4記載の半導体メモリ装置。

【請求項6】 前記第1および第2絶縁層はBPSG、TEOS系酸化膜、シリコン窒化物、SOGおよびCVD酸化膜のうちいずれか1つの物質、またはこれらの組み合わせられた物質で形成されたことを特徴とする請求項1記載の半導体メモリ装置。

【請求項7】 前記スペーサはCVD酸化膜、窒化物系絶縁体、不純物がドーブされていない多結晶シリコン、単結晶シリコンおよびPE-TEOS系酸化膜等のうちいずれか1つの物質、またはこれらの組み合わせられた物質で形成されたことを特徴とする請求項6記載の半導体メモリ装置。

【請求項8】 前記第1および第2コンタクトホールには前記ドレーン領域およびソース領域と同じ導電形の導電物質が埋められていることを特徴とする請求項1記載の半導体メモリ装置。

【請求項9】 ストリッジ電極とソース領域を連結するための前記第2コンタクトホールの中央部には埋設導電層が形成されていることを特徴とする請求項2記載の半導体メモリ装置。

【請求項10】 前記埋設導電層は第2コンタクトホールの下部を埋めるように形成され、前記ビットラインは第1コンタクトホールを埋めるように形成され、単一層で形成されていることを特徴とする請求項9記載の半導体メモリ装置。

【請求項11】 ソース領域、ドレーン領域およびゲート電極から構成されるトランジスタが形成された半導体基板にその表面が平坦化された第1絶縁層を形成する工

程、ドレーン領域上の前記第1絶縁層を部分的に除去することにより第1コンタクトホールを形成する工程、第1コンタクトホールを通じてドレーン領域と接触するビットラインを形成する工程、結果物全面にその表面が平坦化された第2絶縁層を形成する工程、ソース領域上の前記第1および第2絶縁層を部分的に除去することにより第2コンタクトホールを形成する工程、および第2コンタクトホールを通じてソース領域と接触するストリッジ電極を形成する工程を含むことを特徴とする半導体メモリ装置の製造方法。

【請求項12】 半導体基板にトランジスタを形成する前記工程以後、結果物全面に絶縁層を形成する工程をさらに実施することを特徴とする請求項11記載の半導体メモリ装置の製造方法。

【請求項13】 前記絶縁層を構成する物質でHTOのような絶縁物質を用いることを特徴とする請求項12記載の半導体メモリ装置の製造方法。

【請求項14】 第1コンタクトホールを形成する前記工程以後、前記第1コンタクトホールの内部の側壁に第1スペーサを形成する工程をさらに実施し、第2コンタクトホールを形成する前記工程以後前記第2コンタクトホール内部の側壁に第2スペーサを形成する工程をさらに実施することを特徴とする請求項11記載の半導体メモリ装置の製造方法。

【請求項15】 第1コンタクトホールの内部側壁に第1スペーサを形成する前記工程は、第1コンタクトホールが形成されている結果物全面に任意の第1異方性食刻に対して前記第1絶縁層を構成する物質とその食刻率が異なる絶縁物質を付加する工程および結果物全面に前記第1異方性食刻を行なう工程で実施され、第2コンタクトホールの内部の側壁に第2スペーサを形成する前記工程は、第2コンタクトホールが形成されている結果物全面に任意の第2異方性食刻に対して前記第2絶縁層を構成する物質とその食刻率が異なる絶縁物質を付加する工程および結果物全面に前記第2異方性食刻を行なう工程で実施されることを特徴とする請求項14記載の半導体メモリ装置の製造方法。

【請求項16】 前記第1および第2絶縁層を構成する物質として、BPSG、TEOS系酸化膜、シリコン窒化物、SOGおよびCVD酸化膜等のうちいずれか1つの物質、または組み合わせられた物質を使用することを特徴とする請求項15記載の半導体メモリ装置の製造方法。

【請求項17】 前記第1および第2スペーサを構成する物質として、CVD酸化膜、窒化物系絶縁体、不純物がドーブされていない多結晶シリコン、単結晶シリコンおよびPE-TEOS系酸化膜等のうちいずれか1つの物質、または組み合わせられた物質を使用することを特徴とする請求項16記載の半導体メモリ装置の製造方法。

【請求項18】 第1コンタクトホールを形成する前記

工程は、第1絶縁層が形成されている結果物全面に第1コンタクトホール形成のための第1パターンが形成された物質層を形成する工程、前記第1パターンの内部の側壁に第3スペースを形成する工程、および前記第1パターンおよび第3スペースを食刻マスクとし前記半導体基板の表面を食刻終了点とした異方性食刻を結果物全面に行なう工程で実施され、第2コンタクトホールを形成する前記工程は、第2絶縁層が形成されている結果物全面に第2コンタクトホール形成のための第2パターンが形成された物質層を形成する工程、前記第2パターンの内部の側壁に第4スペースを形成する工程、ならびに前記第2パターンおよび第4スペースを食刻マスクとし前記半導体基板の表面を食刻終了点とする工程とで実施される請求項1記載の半導体メモリ装置の製造方法。

【請求項19】 ソース領域、ドレーン領域およびゲート電極から構成されるトランジスタが形成された半導体基板にその表面が平坦化された第1絶縁層を形成する工程と、ドレーン領域およびソース領域上の前記第1絶縁層を部分的に除去することにより第1コンタクトホールおよび第1次第2コンタクトホールを形成する工程と、第1コンタクトホールを通じて前記ドレーン領域と接触するビットラインおよび第1次第2コンタクトホールを通じて前記ソース領域と接触する埋設導電層を形成する工程と、結果物全面にその表面が平坦化された第2絶縁層を形成する工程と、埋設導電層上の前記第2絶縁層を部分的に除去することにより第2次第2コンタクトホールを形成する工程と、および埋設導電層を媒介としてソース領域と接触するストリッジ電極を形成する工程を含むことを特徴とする半導体メモリ装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体メモリ装置および製造方法に係り、特に素子の信頼性および集積度を向上させるための半導体メモリ装置およびその製造方法に関するものである。

【0002】

【従来の技術】 最近、VLSIの高集積化、高機能化の進歩が顕著で、MOS型DRAMにおいては16Mb DRAMが量産初期に入り、研究開発の中心は64Mb級およびそれ以上のDRAMに移り変わりつつある。64Mb級およびそれ以上のDRAM素子において、セルサイズは約 $1.5\mu\text{m}^2$ 以下で極小になるので、各種3次元キャパシタ構造あるいはTa₂O₅膜等高誘電率誘電体膜に対する検討が推進されている。

【0003】 高集積化が進展するほどセルサイズは小さくなり、セルサイズの縮小はセルを構成する導電層相互間の間隔を狭めることにより可能になる。高集積化は、DRAMの場合、デザインルールにより最小特徴サイズでレイアウトされたゲート電極等の間の間隔が、ビットラインをドレーン領域に接触させるためのコンタクトホ

ールや、ストリッジ電極をソース領域に接触させるためのコンタクトホールの最小特徴サイズと同じか一層小さくなる現象を誘発するので素子の信頼性に悪影響を及ぼす。

【0004】 図1は従来技術および本発明による半導体メモリ装置の製造方法を説明するための簡略なレイアウト図で、傾いた四角形の形で形成され短い破線で限定された領域は半導体基板を活性領域および非活性領域に区分するためのフィールド酸化膜形成のためのマスクパターンP1であり、基板全体にかけて上下に長い長方形で示され実線で限定された領域はゲート電極およびワードライン形成のためのマスクパターンP2であり、中央部に位置して内部に2本の斜線が描かれた正方形で示され実線で限定された領域はビットラインをトランジスタのドレーン領域に接触させるためのコンタクトホール形成のためのマスクパターンP3であり、前記マスクパターンP3と多くの小さい丸印を含み左右に長い長方形で示され一点鎖線で限定された領域はビットライン形成のためのマスクパターンP4であり、前記マスクパターンP1の左下部分に含まれその内部に1本の斜線が描かれた正四角形で示され実線で固定された領域はストリッジ電極をトランジスタのソース領域に接触させるためのマスクパターンP5である。

【0005】 前記図1は大きさが最小のメモリセルを形成するためのレイアウトを示し、デザインルールに基づいて最小特徴サイズでレイアウトされたものである。図1でI、IIおよびIII（楕円形で表示）と表示された領域は、前記レイアウトを基にしてメモリセルを製造したとき、互いに異なる機能をもつので互いに接触してはいけない導電層等が部分的に接触しうる可能性のある部分を表示したものである。I部分はストリッジ電極とビットライン、II部分はストリッジ電極とゲート電極、そしてIII部分はビットラインとゲート電極の接触可能性を示す。

【0006】 図2は従来方法により製造された半導体メモリ装置の断面図で、前記図1のA-A'線を切って見たものである。前記図2で円形で表示されたA部分はビットライン30とゲート電極18の接触部分を示したもので、図1のIIIの部分を図示したものである。セルサイズを最小化するための方法で、前記ゲート電極間の間隔とビットライン接触のためのコンタクトホールの横方向の大きさを同一にレイアウトする。そのレイアウトに基づいて製造されたメモリ装置は、コンタクトホール形成のための食刻工程により前記ゲート電極の一側面がコンタクトホール内面に露出されるので、図2A部分に示すようにゲート電極とビットラインの接触現象が発生する。互いに異なる機能をもつ導電層間の接触問題は図2A部分だけではなく、図1のI、IIおよびIIIの部分に共通的に発生するが、このような接触問題はメモリセル等の正常な動作機能を阻害する主要因として作用す

る。また、図2で円形で表示されたB部分は下部構造物(図2ではトランジスタおよびビットライン30)により表面の段差がひどくなった部分を示したもので、ストリッジ電極の形成のため導電物質を蒸着/食刻する工程においてストリングの発生確率が高いところである。前記ストリングは素子の信頼性を低下させる要因のうちの1つとしてその表面の段差がひどいところほどその発生の確率が高い。

【0007】前述したような従来方法により製造された半導体メモリ装置は導電層間の接触およびストリング発生等の問題点を起こすので、64Mbおよびそれ以上に高集積されているメモリ装置には不向きである。

【0008】

【発明が解決しようとする課題】本発明の目的はメモリ装置の集積度および信頼度を増加させるための半導体メモリ装置を提供することにある。本発明の他の目的は前記半導体メモリ装置を製造するにおいて適切な製造方法を提供することにある。

【0009】

【課題を解決するための手段】前記目的を達成するための本発明の半導体メモリ装置は、ソース領域、ドレーン領域およびゲート電極から構成される1つのトランジスタ、第1コンタクトホールを通じて前記トランジスタのドレーン領域と接触するビットライン、および第2コンタクトホールを通じて前記トランジスタのソース領域と接触するストリッジ電極を含む半導体メモリ装置において、前記ビットライン下部に形成され平坦化された第1絶縁層と前記ストリッジ電極下部に形成され平坦化された第2絶縁層を含むことを特徴とする。

【0010】前記他の目的を達成するための半導体メモリ装置の製造方法は、第1実施例に対応するもので、ソース領域、ドレーン領域およびゲート電極から構成されるトランジスタが形成された半導体基板にその表面が平坦化された第1絶縁層を形成する工程、ドレーン領域上の前記第1絶縁層を部分的に除去することにより第1コンタクトホールを形成する工程、第1コンタクトホールを通じてドレーン領域と接触するビットラインを形成する工程、加工された半導体基板全面にその表面が平坦化された第2絶縁層を形成する工程、ソース領域上の前記第1および第2絶縁層を部分的に除去することにより第2コンタクトホールを形成する工程、ならびに第2コンタクトホールを通じてソース領域と接触するストリッジ電極を形成する工程を含むことを特徴とする。

【0011】本発明の前記他の目的を達成するための半導体メモリ装置の他の製造方法は第4実施例に対応するもので、ソース領域、ドレーン領域およびゲート電極から構成されるトランジスタが形成された半導体基板にその表面が平坦化された第1絶縁層を形成する工程と、ドレーン領域およびソース領域上の前記第1絶縁層を部分的に除去することにより第1コンタクトホールおよび第

1次第2コンタクトホールを形成する工程と、第1コンタクトホールを通じて前記ドレーン領域と接触するビットラインおよび第1次第2コンタクトホールを通じて前記ソース領域と接触する埋設導電層を形成する工程と、加工された半導体基板全面にその表面が平坦化された第2絶縁層を形成する工程と、埋設導電層上の前記第2絶縁層を部分的に除去することにより第2次第2コンタクトホールを形成する工程、ならびに埋設導電層を媒介としてソース領域と接触するストリッジ電極を形成する工程を含むことを特徴とする。

【0012】

【作用】本発明による半導体装置およびその製造方法によると、絶縁を確実にする方法、すなわちビットラインおよびストリッジ電極下部に形成される物質層の表面を平坦化することにより表面段差によって発生するストリングを防止し、コンタクトホールの内部側壁に直接スペーサを形成するか、コンタクトホールを形成し導電層間の接触現象を防止することによりメモリ装置の信頼性を向上させただけでなく高集積化実現に有利になるようにした。

【0013】

【実施例】以下、本発明に係る実施例を添付図面に従って説明する。

第1実施例

図3～図5は本発明による半導体メモリ装置の製造方法の第1実施例を図示した断面図である。

【0014】まず図3を参照すると、図示しないビットラインをトランジスタのドレーン領域16に接触させるための第1コンタクトホール5および前記第1コンタクトホールの内部側壁に第1スペーサ40を形成する工程を図示したもので、フィルト酸化膜12により活性領域および非活性領域に区分された半導体基板10の前記活性領域にドレーン領域16を共有し、それぞれ1つずつのソース領域14およびゲート電極18を有する2個のトランジスタ等を形成し、前記2個のトランジスタ等を他の導電層等(以後の工程により形成される導電層)から絶縁させるための目的で前記トランジスタが形成されている半導体基板の全面に、例えばHTO(High Temperature Oxide)のような絶縁物質を約500Å～2000Å程度の厚さに付加し誘電体層20を形成する。次いで、その表面を平坦に形成できる絶縁物質、例えばBPSG(Boro-Phospho-Silicate Glass)、TEOS(Tetra-Ethyl-Ortho-Silicate)系酸化膜、Si₃N₄(Silicon Nitride)、SOG(Spin-On-Glass)およびCVD(Chemical Vapor Deposition)酸化膜等のうちいずれか1つの物質や組み合わせられた物質を約400℃以下の温度で約3000Å～5000Å程度の厚さに付加した後、約800℃～900℃程度の温度でリフロー(reflow)させることによりその表面が平坦な第1絶縁層22を形成し、図1のマスキパターンP3を利用し

前記誘電体層20および第1絶縁層22を部分的に食刻することにより図示しないビットラインを前記ドレーン領域に接触させるための第1コンタクトホール5を形成する。本発明では前記第1絶縁層22を構成する物質のうち特にBPSGを用いる。このとき、第1コンタクトホール5はその内部側壁に前記ゲート電極18の一側面が露出される形態で形成されるが、これは大きさが最小のセル形成のためにレイアウトされた前記レイアウト(図1)に基づいて工程を進捗するからである。

【0015】次いで、第1コンタクトホール5が形成されている半導体基板全面にスペーサ40形成物質を付加する。この物質は、前記第1絶縁層22を構成する物質と異方性食刻率が異なる絶縁物質、例えばCVD酸化膜、窒化物系絶縁体、不純物がドーピングされていない多結晶シリコン、単結晶シリコンおよびPE-TEOS(Plasma Enhance Tetra-Ethyl-Ortho Silicate)系酸化膜等のうちいずれか1つの物質や組み合わせられた物質であって、これを約500Å~2000Å程度の厚さに付加した後(点線で表示された表面部分)、半導体基板全面に異方性食刻を行なって第1コンタクトホール5の内部側壁に第1スペーサ40を形成する。本発明では第1スペーサ40を形成する物質のうち特にCVD酸化膜を用いる。このとき第1スペーサ40は第1コンタクトホール5の内部側壁を包む形態で形成されるので第1コンタクトホール5の内部側壁に露出されているゲート電極の一側面が以後の工程により形成されるビットラインと接触することを防止する。これは従来方法で問題になった導電層間の接触による素子の動作阻害現象を効果的に解決する。

【0016】図4Bを参照すると、ビットライン30、第2コンタクトホール7および第2スペーサ42を形成する工程を図示したもので、第1スペーサ40が形成されている半導体基板全面にビットライン形成のための導電物質、例えば前記ソース領域と同じ導電形の不純物がドーピングされた多結晶シリコン30Aを約500Å程度の厚さに前記第1コンタクトホール5を埋めるように蒸着し珪化物30B、例えばタングステン珪化物(WSi)を前記多結晶シリコン上に薄く積層した後、図1の前記マスクパターンP4を利用して半導体基板全面に異方性食刻を行なうことにより前記ビットライン30を形成する。このとき、前記不純物がドーピングされた多結晶シリコンおよびタングステン珪化物は平坦な表面を有する第1絶縁層22上に積層されるので下部構造物の段差により発生していたストリング発生を防止することができる。

【0017】前記ストリングは前記図2のB部分のような表面の段差がひどい部分で発生しやすいが、これは電気的に絶縁されなければならない導電層と導電層の間を連結する橋の役割をするので素子の信頼性を低下させる大きな要因として作用する。本発明の前記図4Bでは、ビットライン30の下部構造物(ビットラインが形成さ

れる前に形成され、所定の物質層で構成された構造物)の表面を平坦化にさせた後、ビットライン30形成のための導電層を蒸着するのでストリング発生を防止することができる。次いで、前記ビットライン30が形成されている半導体基板全面に、第1絶縁層22を構成するために前記図3で言及された物質のうちいずれか1つの物質や組み合わせられた物質(本発明では特にBPSGを用いる)を約3000Å~5000Å程度の厚さでその表面が平坦になるように付加し第2絶縁層24を形成した後、図1の前記マスクパターンP5を利用しトランジスタのソース領域14上に積層されている物質等、すなわち誘電体層20、第1絶縁層22および第2絶縁層24を部分的に食刻することにより第2コンタクトホール7を形成する。このとき、図示されたように、第2コンタクトホール7内部側壁にゲート電極の一側面が露出されることが判る。

【0018】第2スペーサ42は第2コンタクトホールが形成されている半導体基板全面に前記第1スペーサを構成するため前記図3で言及された物質等のうちいずれか1つの物質や組み合わせられた物質(本発明では特にCVD酸化膜を用いる)を約500Å~2000Å程度の厚さに付加した後(点線で表示)、異方性食刻を行なうことにより第2コンタクトホール7の内部側壁を包む形態で形成される。このとき、ゲート電極の露出された前記一側面は前記第2スペーサ42により他の導電層、例えば以後の工程で形成されるストリッジ電極と絶縁できる。

【0019】図4Cを参照すると、ストリッジ電極形成のための逆パターン28を形成する工程を図示したもので、第2スペーサ42が形成されている半導体基板にストリッジ電極形成のための導電物質、例えば前記ソース領域14の導電形のようなタイプの不純物がドーピングされた多結晶シリコンを蒸着食刻する工程を何回か反復し、第2コンタクトホール7内部を完全に埋めることにより(第2コンタクトホールに導電物質を充填する工程)ストリッジ電極と前記ソース領域14を連結する柱電極100aを形成した後、半導体基板全面に食刻阻止層26を形成するための物質で、例えば窒化物(Nitride)のような物質を約1000Å程度の厚さに付加し、半導体基板全面に前記逆パターン形成のための絶縁物質で、任意の湿式食刻に対して前記食刻阻止層26を構成する物質とは食刻率が異なる物質26を約6000Å程度の厚さに付加する。前記逆パターン28は所定のマスクパターン(前記図1で図示していない)を利用し前記食刻阻止層26および逆パターン形成のための絶縁物質を部分的に食刻することにより完成される。

【0020】図4Dを参照すると、ストリッジ電極100を形成する工程を図示したもので、前記逆パターン28が形成されている半導体基板全面にストリッジ電極100を構成する導電物質で、例えば前記ソース領域14

の導電形と同様のタイプの不純物がドーブされた多結晶シリコンのような導電物質を所定の厚さに蒸着し、前記導電物質が完全に覆われる程度の厚さにフォトレジストを平坦に付加した後、蒸着された前記導電物質の表面が部分的に現われるように前記フォトレジストをエッチバックすることにより前記逆パターン28により形成されたトレンチを埋める形態のフォトレジストパターン72を形成する。ストリッジ電極100は前記フォトレジストパターン72を食刻マスクとしその表面が部分的に現われた前記導電物質を食刻することにより完成される。

【0021】図5を参照すると、誘電体膜110およびプレート電極120を形成する工程を図示したもので、前記フォトレジストパターンおよび逆パターン（前記図4D中の72および28）を湿式食刻で除去した後、半導体基板全面に誘電物質で、例えばONO（Oxide/Nitride/Oxide）またはTaO₅（Tantalum Oxide）のような誘電物質を付加することにより前記誘電体膜110を形成し、前記誘電体膜が形成されている半導体基板全面に例えば不純物がドーブされた多結晶シリコンのような物質を蒸着することにより前記プレート電極120を完成する。

【0022】前述した第1実施例によると、導電層、すなわちビットライン30およびストリッジ電極100下部に形成される物質層の表面を平坦化にすることにより表面段差により発生するストリングを防止し、コンタクトホール内部側壁にスペーサを形成し導電層間の接触現象を防止することによりメモリ装置の信頼性を向上させただけではなく高集積化実現に有利になるようにした。

【0023】引き続き紹介される図面において、前記図3～図5で参照した符号の同一な符号は同一部分を意味する。

第2実施例

図6は本発明による半導体メモリ装置の製造方法の第2実施例により製造された半導体メモリを図示した断面図で、前記図4Cに図示された食刻阻止層26上に、離隔層（以後の工程により除去されるので前記図6では図示されていない）を形成した後、第2コンタクトホールを形成することによりストリッジ電極100の下面までセルキャパシタンス増加のための有効キャパシタ面積として利用できるようにし、第2コンタクトホール内部側壁と第2スペーサ42の間に食刻阻止層26を介在することにより離隔層除去のための湿式食刻工程により前記第2スペーサが損傷しないようにしたものである。

【0024】前述した第2実施例により製造されたメモリ装置によると、第1実施例により製造されたメモリ装置より若干大きいセルキャパシタンスが得られる。

第3実施例

図7および図8は本発明による半導体メモリ装置の製造方法の第3実施例を図示した断面図で、第1および第2

コンタクトホール形成方法を変えたものである。

【0025】前記図3と同一な方法により、第1絶縁層22およびその下部構造物（すなわちトランジスタ）が形成されている半導体基板全面に、パターン形成が可能で第1絶縁層を構成する物質と異方性食刻に対してその食刻率が異なる物質、例えば多結晶シリコンやフォトレジストを約1000Å～3000Å程度の厚さに蒸着した後、図1の前記マスクパターンP3を利用し前記物質を異方性食刻することにより第1コンタクトホール形成のためのパターン50を形成する。次いで、異方性食刻に対して前記第1絶縁層を構成する物質と食刻率が異なる物質、例えば前記パターン50を構成する物質として多結晶シリコンを用いた場合は多結晶シリコンを、前記パターン50を構成する物質としてフォトレジストを用いた場合は低温蒸着が可能な酸化膜を前記パターン50が形成されている半導体基板全面に約500Å～2000Å程度の厚さに付加した後、異方性食刻を行なうことにより第3スペーサ52を形成する。第1コンタクトホール5は前記パターン50および第3スペーサ52を食刻マスクにし半導体基板表面を食刻終了点にした異方性食刻工程を行なうことにより形成される。

【0026】第1実施例の方法では前記マスクパターンP3を利用して第1コンタクトホールを第1絶縁層22および誘電体層20に直接形成した後、そのコンタクトホール内部側壁に絶縁物質からなる第1スペーサをさらに形成し従来の方法で問題となった誘電層間の接触問題を解決しようとしたが、第3実施例の方法では、前記マスクパターンP3を利用した第1コンタクトホール形成のためのパターン50を前記第1絶縁層22上に形成し、前記パターン50内部側壁に第3スペーサをさらに形成した後、前記パターン50および第3スペーサを食刻マスクとして利用し最小特徴サイズより小さい第1コンタクトホールを前記第1絶縁層22および誘電体層20に形成することにより第1実施例の第1スペーサのような絶縁効果が得られる（図7）。

【0027】次いで、前記第1実施例でのような方法で、ビットライン30、第2絶縁層24を形成した後、前記図7で説明したような方法で、前記ソース領域上に積層されている物質等、すなわち第2絶縁層24、第1絶縁層22および誘電体層20を部分的に除去することにより最小特徴サイズより小さい第2コンタクトホールを形成し、前記第1実施例で説明したような方法でストリッジ電極100、誘電体膜110およびプレート電極120を形成することにより1つのトランジスタと1つのキャパシタから構成されるメモリセル等が規則的な形で半導体基板全体にかけて形成される半導体メモリ装置を完成する（図8）。

【0028】図9は本発明による半導体メモリ装置の製造方法の実施例を説明するための簡略なレイアウト図で、前記図1のレイアウト図と異なる点は、第1および

11

第2コンタクトホール形成のためのマスクパターンP3と、ビットラインおよび埋設導電層形成のためのマスクパターンP4がそれぞれ1枚ずつのマスクに形成されるということである。このとき、前記ビットラインおよび埋設導電層を1枚のマスクに形成するとき図1のIの部分図9では接触されない状態にレイアウトされることが判るが、これはデザインルールにより前記マスクパターン等が形成されるからである。

【0029】第4実施例

図10A～図10Cは本発明による半導体メモリ装置の製造方法の第4実施例を図示した断面図で、前記第1、第2および第3実施例とは、第1および第2コンタクトホールを同時に形成するという点で異なる。まず、図10Aを参照すると、第1コンタクトホール5および第2コンタクトホール7と第1スペーサ40および第2スペーサ42を形成する工程を図示したもので、前記図3Aのような方法により第1絶縁層22が形成されている半導体基板に、図9の前記マスクパターンP3を利用し前記第1絶縁層22および誘電体層20を部分的に食刻することにより第1コンタクトホール5および第1次第2コンタクトホール7を形成した後、前記図3で説明したような方法で、前記第1および第1次第2コンタクトホールの内部側壁に第1スペーサ40および第2スペーサ42を形成する。

【0030】図10Bを参照すると、ビットライン30および埋設導電層32を形成する工程を図示したもので、第1スペーサ40および第2スペーサ42が形成されている半導体基板に、導電物質、例えばソース領域14およびドレイン領域16の導電形のようなタイプの不純物がドーパされた多結晶シリコンを、第1および第1次第2コンタクトホールを完全に埋めて、第1絶縁層22表面に基づいて所定厚さを有するように蒸着した後、図9の前記マスクパターンP4を利用して写真食刻工程を行なうことによりビットライン30および埋設導電層32を形成する。このとき、前記埋設導電層32はストリッジ電極とトランジスタの前記ソース領域14を連結する媒介層としての役割をする。

【0031】また、前記第1、第2および第3実施例では、前記第2コンタクトホールが第2絶縁層24、第1絶縁層22と誘電体層20を通じて形成されるので前記3つの層の厚さほどホールの深さも深くなり、ホール内に空間が生成され素子の信頼性を落とす恐れがあったが、本実施例では前記埋設導電層32を媒介にしストリッジ電極とソース領域を連結するので空間生成確率をもっと減らせるだけではなく、コンタクトホールを信頼性あるように形成できる。

【0032】図10Cを参照すると、ストリッジ電極100、誘電体膜110およびプレート電極120を形成する工程を図示したもので、ビットライン30および埋設導電層32が形成されている半導体基板上に第2絶縁

12

層24を形成し、前記埋設導電層32とストリッジ電極を連結するための第2次第2コンタクトホールを形成した後、前記第1、第2および第3実施例の方法と同様の方法で、前記ストリッジ電極100、誘電体層膜110およびプレート電極120を形成する。

【0033】前述した第4実施例の方法によると、埋設導電層32を媒介装置とし前記ストリッジ電極100とトランジスタのソース領域14を連結することにより、コンタクトホールで発生する恐れのある空間生成を防止した。

第5実施例

図11A～図11Cは本発明による半導体メモリ装置の製造方法の第5実施例を図示した断面図で、前記図9のマスクパターンおよび前記第3実施例の方法を利用し第1および第2コンタクトホールを形成した場合である。

【0034】前記図3で紹介した方法と同様の方法で第1絶縁層22まで形成し、前記図9のマスクパターンおよび前記図7Aで紹介した方法を利用しコンタクトホールの形成のためのパターン54および側壁スペーサ56を形成した後、前記パターン54および側壁スペーサ56を食刻マスクとして利用し半導体基板全面に異方性食刻を行なうことにより、第1コンタクトホール5および第1次第2コンタクトホール7を形成する(図11A)。次いで、前記図10Bで紹介した方法と同様の方法でビットライン30および埋設導電層32を形成した後(図11B)、前記図10Cで紹介した方法と同様の方法でストリッジ電極100、誘電体層膜110およびプレート電極120を形成することにより1つのトランジスタと1つのキャパシタから構成されたメモリセルが半導体基板に規則的な形で形成されたメモリ装置を完成する。

【0035】なお、本発明は前記実施例に限定されるものではなく、本発明の思想を逸脱しない範囲で種々の改変をなしうることはもちろんである。

【0036】

【発明の効果】以上説明したように本発明による半導体メモリ装置の製造方法によると、導電層、すなわちビットラインおよびストリッジ電極の下部に形成される物質層の表面を平坦化することにより表面段差により発生するストリッジを防止し、コンタクトホールの内部側壁に直接スペーサを形成するか、コンタクトホールを形成するためのパターンの側壁にスペーサを形成した後コンタクトホールを形成することにより導電層管の接触現象を防止し、メモリ装置の信頼性を向上させただけではなく、一層の高集積化を実現するという効果がある。

【図面の簡単な説明】

【図1】従来技術および本発明による半導体メモリ装置の製造方法を説明するために図示された半導体メモリ装置主要部の概略構成図である。

【図2】従来方法により製造された半導体メモリ装置の

13

断面図である。

【図3】本発明による半導体メモリ装置の製造方法の第1実施例を図示した半導体メモリ装置主要部の断面図である。

【図4】B～Dは本発明による半導体メモリ装置の製造方法の第1実施例を図示した半導体メモリ装置主要部の断面図である。

【図5】本発明による半導体メモリ装置の製造方法の第1実施例を図示した半導体メモリ装置主要部の断面図である。

【図6】本発明による半導体メモリ装置の製造方法の第2実施例により製造された半導体メモリ装置主要部を図示した断面図である。

【図7】本発明による半導体メモリ装置の製造方法の第3実施例を図示した半導体メモリ装置主要部の断面図である。

【図8】本発明による半導体メモリ装置の製造方法の第3実施例を図示した半導体メモリ装置主要部の断面図である。

【図9】本発明による半導体メモリ装置の製造方法の他の実施例を説明するために図示された半導体メモリ装置

14

主要部の概略構成図である。

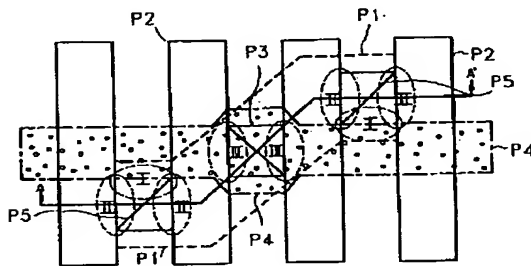
【図10】A～Cは本発明による半導体メモリ装置の製造方法の第4実施例を図示した半導体メモリ装置主要部の断面図である。

【図11】A～Cは本発明による半導体メモリ装置の製造方法の第5実施例を図示した半導体メモリ装置主要部の断面図である。

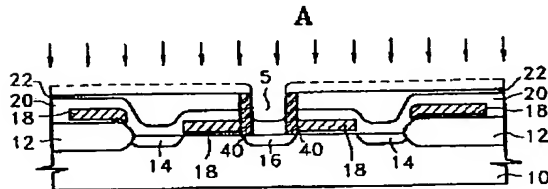
【符号の説明】

5	第1コンタクトホール
10 7	第2コンタクトホール
14	ソース領域
16	ドレイン領域
18	ゲート電極
22	第1絶縁層
24	第2絶縁層
26	第1食刻阻止層
30	ビットライン
42	スペーサ
100	ストリッジ電極
20 110	誘電体膜
120	プレート電極

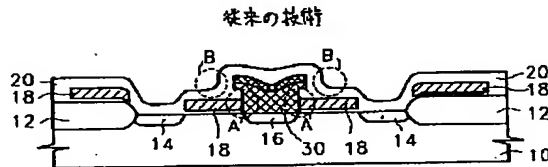
【図1】



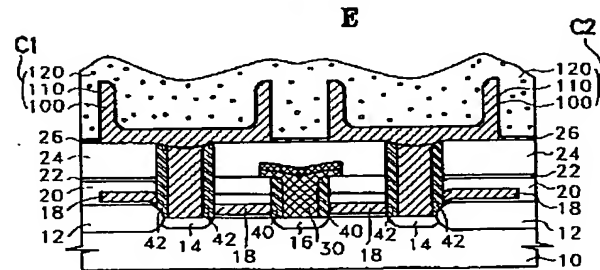
【図3】



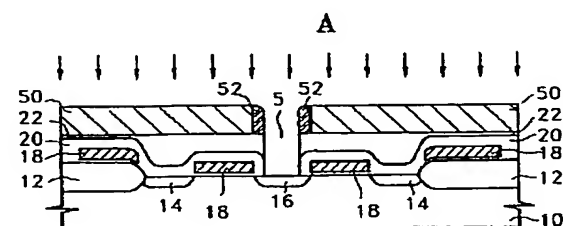
【図2】



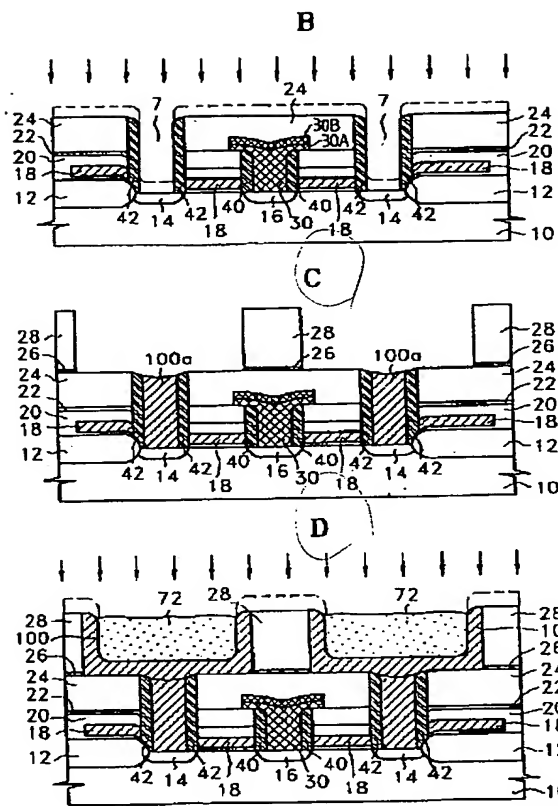
【図5】



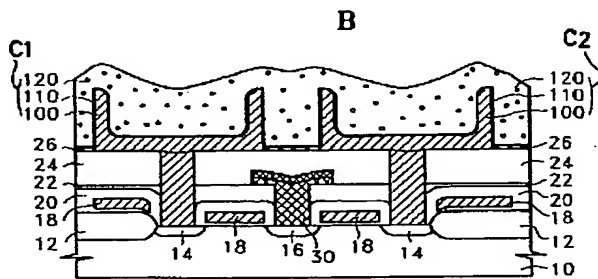
【図7】



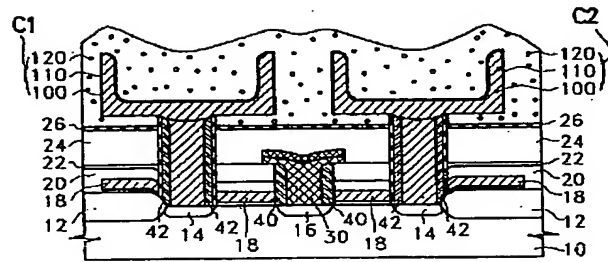
【図4】



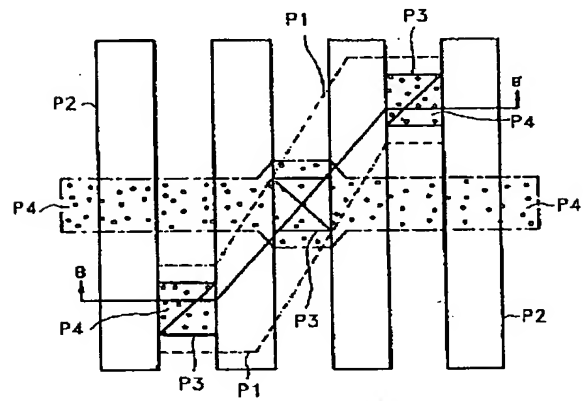
【図8】



【図6】

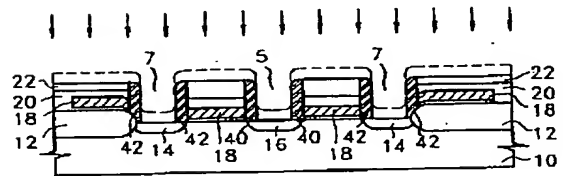


【図9】

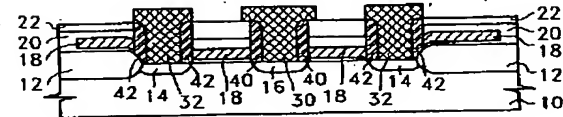


【図10】

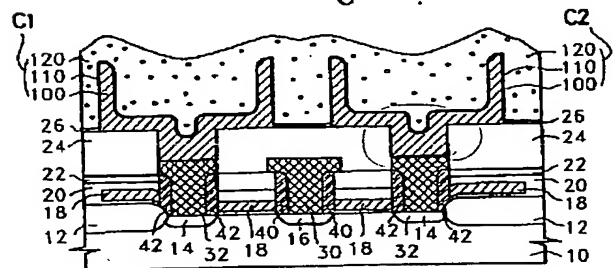
A



B



C



【図11】

